

BEST AVAILABLE COPY

**SILICON CARBIDE SEMICONDUCTOR DEVICE**

Patent Number: JP2001144292  
Publication date: 2001-05-25  
Inventor(s): RAJESH KUMAR;; YAMAMOTO TAKESHI  
Applicant(s): DENSO CORP  
Requested Patent: ☐ JP2001144292  
Application Number: JP19990326933 19991117  
Priority Number(s):  
IPC Classification: H01L29/78; H01L29/80  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PROBLEM TO BE SOLVED:** To surely provide withstand voltage to a MOSFET by allowing a plurality of P-N junctions constituting a super-junction to be provided to an element part with sure.

**SOLUTION:** A super-junction comprises, formed on a main surface 1a of an n+ type substrate 1, a plurality of P-N junctions where a plurality of n-type layers 2 and p-type layers 3 are provided alternately on the main surface 1a, with the n-type layers 2 and p-type layers 3, constituting the super-junction formed on the entire surface of main surface 1a of the n+ type substrate 1. With the super-junction formed over the entire surface of the main surface 1a of the n+ type substrate 1, the super-junction is formed surely under a p-type base region 5 and n-type source region 6, even if the super-junction formation position deviates due to dislocation of a mask, etc., providing surely an MOSFET with withstand voltage.

---

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-144292

(P2001-144292A)

(43)公開日 平成13年5月25日(2001.5.25)

(51)Int.Cl.<sup>7</sup>

H 0 1 L 29/78

識別記号

6 5 2

F I

H 0 1 L 29/78

テーマコード(参考)

6 5 2 H 5 F 1 0 2

6 5 2 P

6 5 2 T

V

29/80

29/80

審査請求 未請求 請求項の数6 OL (全8頁)

(21)出願番号

特願平11-326933

(22)出願日

平成11年11月17日(1999.11.17)

(71)出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72)発明者 ラジェシュ クマール

愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

(72)発明者 山本 剛

愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

(74)代理人 100100022

弁理士 伊藤 洋二 (外2名)

Fターム(参考) 5F102 FA01 FB01 GB04 GC07 GD04

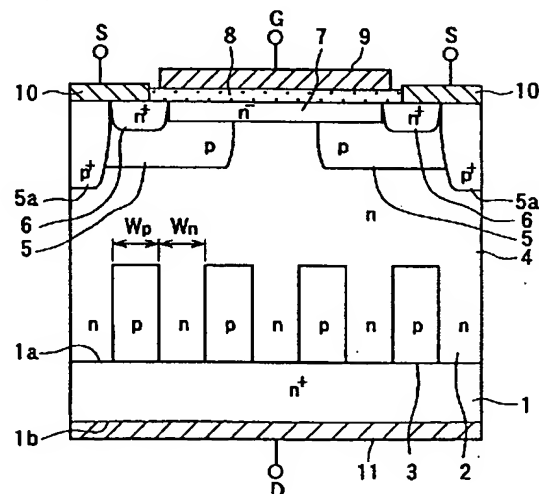
GD10 GJ02 GL02 GR06

(54)【発明の名称】 炭化珪素半導体装置

(57)【要約】

【課題】 スーパージャンクションを構成する複数のP-N接合が素子部に確実に配置されるようにし、確実にMOSFETの耐圧が得られるようにする。

【解決手段】  $n^+$ 型基板1の主表面1a上に形成され、該主表面1a上において複数の $n$ 型層2と複数の $p$ 型層3とが交互に配置されて形成された複数のPN接合からなるスーパージャンクションを備え、スーパージャンクションを構成する $n$ 型層2及び $p$ 型層3が、 $n^+$ 型基板1の主表面1a全面に形成されるようにする。このように、スーパージャンクションが $n^+$ 型基板1の主表面1a全面に形成されるようにすれば、マスクずれ等によってスーパージャンクションの形成位置がずれても、必ず $p$ 型ベース領域5や $n$ 型ソース領域6の下にスーパージャンクションが形成されるため、確実にMOSFETの耐圧を得ることができる。



【特許請求の範囲】

【請求項1】 主表面（1a）及び該主表面と反対面（1b）である裏面を有し、炭化珪素よりなる第1導電型の半導体基板（1）と、  
前記半導体基板の前記主表面上に形成され、該主表面上において複数の第1導電型層（2）と複数の第2導電型層（3）とが交互に配置されて形成された複数のPN接合からなるスーパージャンクションと、  
前記スーパージャンクションの上に形成され、前記半導体基板よりも高抵抗な炭化珪素よりなる第1導電型の半導体層（4）と、  
前記半導体層の表層部の所定領域に形成され、所定深さを有する第2導電型のベース領域（5）と、  
前記ベース領域の表層部の所定領域に形成され、該ベース領域の深さよりも浅い第1導電型のソース領域（6）と、  
前記ベース領域のうち、前記半導体層及び前記ソース領域に挟まれた部分の上に形成されたゲート絶縁膜（8）と、  
前記ゲート絶縁膜の上に形成されたゲート電極（9）と、  
前記ベース領域及び前記ソース領域に接触するように形成されたソース電極（10）と、  
前記半導体基板の前記裏面に形成されたドレイン電極（11）とを備え、  
前記スーパージャンクションを構成する前記第1導電型層及び前記第2導電型層は、前記半導体基板の前記主表面全面に形成されていることを特徴とする炭化珪素半導体装置。

【請求項2】 主表面（1a）と該主表面の反対面である裏面（1b）を有し、炭化珪素よりなる第1導電型の半導体基板（1）と、  
前記半導体基板の前記主表面側に形成され前記半導体基板よりも高抵抗な第1導電型の半導体層（4）と、  
前記半導体層の表層部の所定領域に形成され、所定深さを有する第2導電型のベース領域（5）と、  
前記ベース領域の表層部の所定領域に形成され、該ベース領域の深さよりも浅い第1導電型のソース領域（6）と、  
前記ベース領域のうち、前記半導体層及び前記ソース領域に挟まれた部分の上に形成されたゲート絶縁膜（8）と、  
前記ゲート絶縁膜の上に形成されたゲート電極（9）と、  
前記ベース領域及び前記ソース領域に接触するように形成されたソース電極（10）と、  
前記半導体基板の前記裏面に形成されたドレイン電極（11）と、を有してなるFETをユニットセルとし、  
該ユニットセルが複数形成されるセル領域において、  
前記半導体基板と前記半導体層との間には、複数の第1

導電型層（2）と複数の第2導電型層（3）とが交互に配置されて形成された複数のPN接合からなるスーパージャンクションが備えられており、前記セル領域下部を覆うように該スーパージャンクションを構成する前記第1導電型層及び前記第2導電型層が繰り返し連続的につながっていることを特徴とする炭化珪素半導体装置。

【請求項3】 主表面（1a）と該主表面の反対面である裏面（1b）を有し、炭化珪素よりなる第1導電型の半導体基板（1）と、  
前記半導体基板の前記主表面側に形成され前記半導体基板よりも高抵抗な第1導電型の半導体層（4）と、  
前記半導体層の表層部の所定領域に形成され、所定深さを有する第2導電型のベース領域（5）と、  
前記ベース領域の表層部の所定領域に形成され、該ベース領域の深さよりも浅い第1導電型のソース領域（6）と、  
前記ベース領域のうち、前記半導体層及び前記ソース領域に挟まれた部分の上に形成されたゲート絶縁膜（8）と、  
前記ゲート絶縁膜の上に形成されたゲート電極（9）と、  
前記ベース領域及び前記ソース領域に接触するように形成されたソース電極（10）と、  
前記半導体基板の前記裏面に形成されたドレイン電極（11）と、を有してなるFETが形成されるセル領域と、  
該セル領域から所定間隔離間して該セル領域を囲むように、前記半導体層の表層部に形成された複数の第2導電型のウェル領域からなるガードリング領域と、を備え、  
前記セル領域及び前記ガードリング領域の全域において、前記半導体基板と前記半導体層との間には、複数の第1導電型（2）と複数の第2導電型層（3）とが交互に配置されて形成された複数のPN接合からなるスーパージャンクションが備えられており、該スーパージャンクションを構成する前記第1導電型層及び前記第2導電型層が繰り返し連続的につながっていることを特徴とする炭化珪素半導体装置。

【請求項4】 主表面（1a）と該主表面の反対面である裏面（1b）を有した炭化珪素よりなる第1導電型の半導体基板（1）を用意する工程と、  
前記半導体基板の前記主表面上に第1導電型層（2）及び第2導電型層（3）を交互に配置し、複数のPN接合からなるスーパージャンクションを形成する工程と、  
前記スーパージャンクション上に前記半導体基板よりも高抵抗な第1導電型の半導体層（4）を形成する工程と、  
前記半導体層の表層部の所定領域に、所定深さを有する第2導電型のベース領域（5）を形成する工程と、  
前記ベース領域の表層部の所定領域に、該ベース領域の深さよりも浅い第1導電型のソース領域（6）を形成す

る工程と、  
前記ベース領域のうち、前記半導体層及び前記ソース領域に挟まれた部分の上にゲート絶縁膜（８）を形成する工程と、  
前記ゲート絶縁膜の上にゲート電極（９）を形成する工程と、  
前記ベース領域及び前記ソース領域に接触するようにソース電極（１０）を形成する工程と、  
前記半導体基板の前記裏面にドレイン電極（１１）を形成する工程とを有し、  
前記スーパージャンクションを形成する工程では、該スーパージャンクションを構成する前記第１導電型層及び前記第２導電型層が前記半導体基板の前記主表面全面に形成されるようにすることを特徴とする炭化珪素半導体装置の製造方法。

【請求項５】 前記スーパージャンクションを形成する工程は、前記半導体基板の前記主表面上全面に前記第１導電型層を形成する工程と、  
前記第１導電型層に第２導電型不純物のイオン注入を行ったあと、該第２導電型不純物を活性化させ、前記第２導電型層を形成する工程と、を有していることを特徴とする請求項４に記載の炭化珪素半導体装置の製造方法。

【請求項６】 前記第２導電型層を形成する工程では、前記第１導電型層のうち前記第２導電型不純物をイオン注入する領域に不活性なイオン種をイオン注入する工程を有し、  
該不活性なイオン種を注入したのち、前記第２導電型不純物を活性化させることを特徴とする請求項５に記載の炭化珪素半導体装置の製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、パワーＭＯＳＦＥＴやＳＩＴ等の半導体装置及びその製造方法に関するもので、特に炭化珪素よりなる半導体装置に用いて好適である。

【０００２】

【従来の技術】従来、ＭＯＳＦＥＴの高耐圧を維持するものとして、米国特許第５、４３８、２１５号明細書に提案されている構造がある。この構造を図８に示す。

【０００３】図８に示すように、半導体基板１０１上にエピタキシャル成長させたｎ型エピ層１０２の表層部にｐ型ベース領域１０３が形成されていると共に、ｐ型ベース領域１０３内にｎ型ソース領域１０４が形成されている。そして、これらｎ型ソース領域１０４及びｐ型ベース領域１０３の下方には、ｎ型層１０５とｐ型層１０６とが交互に並べられて複数のＰＮ接合を構成したスーパージャンクションが形成されている。

【０００４】このように構成されたスーパージャンクションＭＯＳＦＥＴ（Ｓ．Ｊ．ＭＯＳＦＥＴ）は、スーパージャンクションを構成する複数のＰＮ接合部において

空乏層が伸び、スーパージャンクション部分をピンチオフさせることで、ＭＯＳＦＥＴの耐圧が得られるようになっている。

【０００５】

【発明が解決しようとする課題】しかしながら、従来ではスーパージャンクションを構成する複数のＰＮ接合を、ｐ型ベース領域１０３やｎ型ソース領域１０４が形成される素子部にのみ選択的に形成するようにしているため、ＰＮ接合形成用マスクのマスクずれ等によってスーパージャンクションが正確に素子部に形成されない場合があり、ｐ型ベース領域１０３及びｎ型ソース領域１０４下を完全にピンチオフさせることができず、耐圧が確保できないという問題がある。

【０００６】本発明は上記点に鑑みて、スーパージャンクションを構成する複数のＰＮ接合が素子部に確実に配置されるようにし、確実にＭＯＳＦＥＴの耐圧が得られるようにすることを目的とする。

【０００７】

【課題を解決するための手段】上記目的を達成するため、請求項１に記載の発明では、半導体基板（１）の主表面（１ａ）上に形成され、該主表面上において複数の第１導電型層（２）と複数の第２導電型層（３）とが交互に配置されて形成された複数のＰＮ接合からなるスーパージャンクションを備え、スーパージャンクションを構成する第１導電型層及び第２導電型層は、半導体基板の主表面全面に形成されていることを特徴としている。

【０００８】このように、スーパージャンクションが半導体基板の主表面全面に形成されていれば、マスクずれ等によってスーパージャンクションの形成位置がずれても、必ずベース領域やソース領域下にスーパージャンクションが形成されるため、確実にＭＯＳＦＥＴの耐圧を得ることができる。

【０００９】請求項２に記載の発明においては、ＦＥＴをユニットセルとし、該ユニットセルが複数形成されるセル領域に、複数のＰＮ接合からなるスーパージャンクションを備え、セル領域下部全域を第１導電型層及び第２導電型層が繰り返し連続的につながるようにしている。

【００１０】このように、複数のＦＥＴが形成されるセル領域全域において、各ユニットセルの第１導電型層及び第２導電型層が繰り返し連続的につながるようにすれば、請求項１の効果を得ることができる。

【００１１】請求項３に記載の発明においては、セル領域及びガードリング領域の全域においてスーパージャンクションを備え、該スーパージャンクションを構成する第１導電型層及び第２導電型層が繰り返し連続的につながるようにしている。

【００１２】このように、セル領域を囲む外周部にガードリングを形成する場合には、ガードリング領域までスーパージャンクションを形成するようにしても、請求項

1の効果をj得ることがjできる。

【0013】請求項4に記載の発明は、請求項1乃至3に記載の半導体装置の製造方法である。具体的には、請求項5に示すように、半導体基板の主表面上全面に第1導電型層を形成し、該第1導電型層に第2導電型不純物のイオン注入を行ったあと、該第2導電型不純物を活性化させて第2導電型層を形成することで、半導体基板の主表面全面に第1導電型層と第2導電型層を形成することができる。

【0014】この場合、請求項6に示すように、第2導電型層を形成する工程において、第1導電型層のうち第2導電型不純物をイオン注入する領域に不活性なイオン種をイオン注入しておき、不活性なイオン種を注入したのち、第2導電型不純物を活性化させるようにすることができる。すなわち、不活性なイオン種によって炭素サイトの空孔を無くすことができるため、炭素サイトの空孔に基づく第2導電型不純物の拡散を抑制することができる、第1導電型層と第2導電型層の幅を正確に規定することができる。

【0015】なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示ものである。

【0016】

【発明の実施の形態】（第1実施形態）図1に本発明の第1実施形態におけるスーパージャンクションMOSFETを示す。この図は半導体装置の素子部を構成するMOSFETの1ユニットセルを示したものであり、実際には複数のユニットセル若しくは他の回路素子と共に半導体装置を構成している。以下、図1に基づいて本実施形態におけるMOSFETの構成について説明する。

【0017】図1に示すように、炭化珪素からなる $n^+$ 型基板1は上面を主表面1aとし、主表面1aの反対面である下面を裏面1bとしている。この $n^+$ 型基板1の主表面1aの上の全面に、炭化珪素からなる $n$ 型層2と $p$ 型層3とが延設され、これら $n$ 型層2と $p$ 型層3とが交互に並べられて複数のPN接合が形成されている。これら複数のPN接合がスーパージャンクションを構成している。このスーパージャンクションを構成するPN接合は、 $n^+$ 型基板1の主表面1aすべてに形成されている。すなわち、複数のユニットセル若しくは他の回路素子が形成される領域にもすべてスーパージャンクションが形成され、これらすべてのスーパージャンクションが断続せずに繰り返し連続的に繋がった状態となっている。

【0018】スーパージャンクションの複数のPN接合を構成する各 $n$ 型層2と $p$ 型層3は、同等の厚さ $3\mu m$ で構成され、 $n$ 型層2の幅 $W_n$ と $p$ 型層3の幅 $W_p$ とは同等で $1\mu m$ とされている。また、 $n$ 型層2は不純物濃度が $2 \times 10^{17} \text{ cm}^{-3}$ 程度とされており、 $p$ 型層3は不純物濃度が $2 \times 10^{17} \text{ cm}^{-3}$ 程度とされている。

【0019】この濃度と幅は、Jpn. J. Appl. Phys. Vol. 36 (1997) pp 6254-6262に記載されていた関係式を満たすように設定すればよい。

【0020】スーパージャンクションを構成する複数のPN接合の上には、 $n^+$ 型基板1よりも低い不純物濃度を有する炭化珪素からなる $n^-$ 型エピタキシャル層4が厚さ $2\mu m$ 程度で積層されている。この $n^-$ 型エピ層4の不純物濃度は $n$ 型層2の不純物濃度と同等となっている。

【0021】 $n^-$ 型エピ層4の表層部における所定領域には、所定深さを有する $p$ 型ベース領域5が形成されている。この $p^-$ 型ベース領域5はBをドーパントとして形成されており、略 $1 \times 10^{17} \text{ cm}^{-3}$ 以上の濃度となっている。

【0022】また、 $p$ 型ベース領域5の表層部の所定領域には、該ベース領域5よりも浅い $n^+$ 型ソース領域6が形成されている。

【0023】さらに、 $n^+$ 型ソース領域6と $n^-$ 型エピ層2とを繋ぐように、 $p$ 型ベース領域5の表面部には $n^-$ 型SiC層7が延設されている。この $n^-$ 型SiC層7は、エピタキシャル成長にて形成されたものであり、エピタキシャル膜の結晶が4H、6H、3C、15Rのものを用いる。尚、この $n^-$ 型SiC層7はデバイスの動作時にチャネル形成層として機能する。以下、 $n^-$ 型SiC層7を表面チャネル層という。

【0024】表面チャネル層7はN（窒素）をドーパントに用いて形成されており、そのドーパント濃度は、例えば $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$ 程度の低濃度で、かつ、 $n^-$ 型エピ層4及び $p^-$ 型ベース領域5のドーパント濃度以下となっている。これにより、低オン抵抗化が図られている。

【0025】表面チャネル層7の上面および $n^+$ 型ソース領域6の上面には熱酸化にてゲート酸化膜8が形成されている。さらに、ゲート酸化膜8の上にはゲート電極9が形成されている。

【0026】また、 $n^+$ 型ソース領域6および $p$ 型ベース領域5と接するようにソース電極10が形成されている。また、 $n^+$ 型基板1の裏面1bには、ドレイン電極11が形成されている。

【0027】なお、 $p$ 型ベース領域5のうちソース電極10とコンタクトが取られる部位の下方は、 $p$ 型ベース領域5の他の部分よりも接合深さが深くされたディープベース層5aとなっている。このディープベース層5aは、 $p$ 型ベース領域5の他の部分よりも $p$ 型不純物濃度が高くされており、逆バイアス時に優先的にアバランシェブレイクダウンするようになっている。

【0028】そして、上記したスーパージャンクションを構成するPN接合のうちの $p$ 型層3と $p$ 型ベース領域5とが図1とは別断面において、アース接続されてい

る。

【0029】このように、各素子部のスーパージャンクションを断続させずに連続的に繋げた状態としているため、各素子部に確実にスーパージャンクションが備えられた状態となり、確実にp型ベース領域5及びn<sup>+</sup>型ソース領域6の下方をピンチオフさせることができ、確実にMOSFETの耐圧が得られるようにできる。

【0030】上記構成のスーパージャンクションMOSFETの耐圧及びオン抵抗特性について実験により調べた。その結果をそれぞれ図2(a)、(b)に示す。

【0031】図2(a)に示されるように、逆バイアス時においてドレイン電極11への印加電圧が1037Vのときにアバランシェブレイクダウンが生じ、耐圧が得られるようになっている。

【0032】一方、図2(b)に示すように、本実施形態におけるスーパージャンクションMOSFETはスーパージャンクションを形成していないMOSFETと比べてドレイン電流が大きくなっており、オン抵抗が低減されていることが判る。

【0033】これは、スーパージャンクションを形成することにより、この領域の不純物濃度を高濃度にするこゝと、つまり低抵抗にすることができるため、オン抵抗を低減することができるのである。

【0034】このように、本実施形態によるスーパージャンクションMOSFETにより、確実にMOSFETの耐圧を得ることができると共に、MOSFETのオン抵抗を低減することができる。

【0035】次に、図1に示すMOSFETの製造工程を、図3～図6に基づいて説明する。

【0036】〔図3(a)に示す工程〕まず、n型4H、6H、3C、もしくは15R-SiC基板、すなわちn<sup>+</sup>型基板1を用意する。このn<sup>+</sup>型基板1は厚さが400μmであり、主表面1aが(0001)Si面、又は、(112-0)a面となっている。

【0037】〔図3(b)に示す工程〕n<sup>+</sup>型基板1の主表面1aに、厚さ3μmのn型層2をエピタキシャル成長させる。このとき、n型層2は下地のn<sup>+</sup>型基板1と同様の結晶が得られ、n型4H、6H、3Cもしくは15R-SiC層となる。

【0038】〔図3(c)に示す工程〕そして、n型層2の表面にp型層形成予定領域が開口するマスクを配置し、BやAl等のp型不純物をイオン注入したのち、p型不純物を熱処理によって活性化させてp型層3を形成する。このとき、p型層3をn<sup>+</sup>型基板1の全面(若しくは素子が形成されダイシングによって除去される不要部分とならない領域すべて)に形成する。

【0039】これにより、n<sup>+</sup>型基板1の全面にn型層2とp型層3とが交互に並べられたスーパージャンクションが形成される。このため、このあとに形成する各素子部の形成時にマスクずれが生じて、各素子部のそれ

ぞれに必ずスーパージャンクションが形成されていることになる。

【0040】またこのとき、BやAlを注入する前にC(炭素)等の不活性なイオン種を注入してもよい。このように、p型不純物を活性化させる前にC等の不活性なイオン種を注入しておくことにより、エピタキシャル成長時等にn型層2に形成された炭素サイトの空孔内に不活性なイオン種が入り込み、n型層2の炭素サイトの空孔をなくすることができるため、炭素サイトの空孔に起因するp型不純物の拡散が抑制され、n型層2とp型層3との幅を正確に規定することができる。

【0041】〔図4(a)に示す工程〕次に、スーパージャンクションを構成するn型層2とp型層3の上に、厚さ5μm程度のn<sup>-</sup>型エピ層4をエピタキシャル成長させる。このとき、n<sup>-</sup>型エピ層4は下地のn型層2及びp型層3と同様の結晶が得られ、n型4H、6H、3C、もしくは15R-SiC層となる。

【0042】〔図4(b)に示す工程〕n<sup>-</sup>型エピ層4の上の所定領域にLTO(Low Temperature Oxidation)膜20を配置し、これをマスクとしてB若しくはAl等のp型不純物のイオン注入を行う。このとき、イオン注入条件は、温度が700℃、ドーズ量が $1 \times 10^{16} \text{ cm}^{-2}$ としている。これにより、n<sup>-</sup>型エピ層4の表面から所定深さの位置に、Bよりなるボックスプロファイルが形成される。

【0043】その後、熱処理として、1600℃、30分間の活性化アニールを施し、Bを活性化させてp型ベース領域5を形成する。

【0044】このとき、上記p型層3の形成と同様に、p型ベース領域5とする部分にC等の不活性なイオン種をイオン注入しておけば、p型ベース領域形成用に注入されたp型不純物の熱拡散が抑制され、p型ベース領域5の形成位置が正確に規定される。これにより、p型ベース領域5の間が狭くなることを防止でき、J-FET部の幅が狭まらないようにすることができる。

【0045】〔図5(a)に示す工程〕LTO膜20を除去したのち、p型ベース領域5を含むn<sup>-</sup>型エピ層4の表面に、例えば0.3μm以下の膜厚で表面チャネル層7をエピタキシャル成長させる。

【0046】このとき、縦型パワーMOSFETをノーマリオフ型にするために、表面チャネル層7の厚み(膜厚)を、ゲート電極9に電圧を印加していない時におけるp型ベース領域5から表面チャネル層7に広がる空乏層の伸び量と、ゲート酸化膜8から表面チャネル層7に広がる空乏層の伸び量との和よりも小さくなるようにしている。

【0047】具体的には、p型ベース領域5から表面チャネル層7に広がる空乏層の伸び量は、表面チャネル層7とp型ベース領域5とのPN接合のビルトイン電圧によって決定され、ゲート酸化膜8から表面チャネル層7

に広がる空乏層の伸び量は、ゲート酸化膜8の電荷及びゲート電極9（金属）と表面チャネル層7（半導体）との仕事関数差によって決定されるため、これらに基づいて表面チャネル層7の膜厚を決定している。

【0048】このようなノーマリオフ型の縦型パワーMOSFETは、故障などによってゲート電極に電圧が印加できないような状態となっても、電流が流れないようにすることができるため、ノーマリオン型のものと比べて安全性を確保することができる。

【0049】〔図5（b）に示す工程〕表面チャネル層7の上の所定領域にLTO膜21を配置したのち、これをマスクとしてB若しくはA1等のp型不純物をイオン注入し、ディープベース層5aを形成する。

【0050】〔図6（a）に示す工程〕表面チャネル層7の上の所定領域にLTO膜22を配置したのち、これをマスクとしてN（窒素）等のn型不純物をイオン注入し、n<sup>+</sup>型ソース領域6を形成する。このときのイオン注入条件は、700℃、ドーズ量は $1 \times 10^{15} \text{ cm}^{-2}$ としている。

【0051】〔図6（b）に示す工程〕LTO膜22を除去した後、基板の上にウェット酸化（ $\text{H}_2 + \text{O}_2$  によるパイロジェニック法を含む）によりゲート酸化膜8を形成する。このとき、雰囲気温度は1080℃とする。その後、ゲート酸化膜8の上にポリシリコンからなるゲート電極9をLPCVDにより堆積する。このときの成膜温度は600℃とする。そして、ゲート電極9及びゲート酸化膜8の不要部分を除去する。

【0052】この後、図示しないがLTOよりなる絶縁膜を形成してゲート酸化膜8を覆ったのち、絶縁膜にコンタクトホールを形成し、室温での金属スパッタリングによりソース電極10及びドレイン電極11を配置し、成膜後に1000℃のアニールを行う。このようにして、図1に示す縦型パワーMOSFETが完成する。

【0053】（第2実施形態）本実施形態では、第1実施形態に示した縦型パワーMOSFETの周囲にガードリングやEQRを配置する場合について説明する。図7に、ガードリング及びEQRを備えた縦型パワーMOSFETの断面構成を示す。

【0054】図7に示すように、図1と同様の構成のMOSFETが備えられている。このMOSFETから離間された位置において、n<sup>-</sup>型エピ層4の表層部には複数のp型層12が所定間隔おきに配置されている。このp型層12はMOSFETの周囲を囲むようにリング状に形成されている。これら複数のp型層12がガードリングを構成している。また、ガードリングを構成するp型層12のリング外側にはn<sup>-</sup>型エピ層4の表層部に形成されたn型層13及びn型層13の上に形成された電極14とからなるEQRが備えられている。

【0055】そして、MOSFETが形成されたセル領域、ガードリングが形成されたガードリング領域、及び

EQRが形成された領域全域において、n<sup>+</sup>型基板1の主表面1aの上には、全面にn型層2及びp型層3からなるスーパージャンクションが構成されている。このように、ガードリングやEQR等のMOSFETとは異なる部分を形成する場合においては、これらガードリングやEQRが形成される領域にもスーパージャンクションを形成するようにしている。

【0056】このように、n<sup>+</sup>型基板1の全面にスーパージャンクションを構成するn型層2とp型層3を交互に配置することで、MOSFET等の形成時においてマスクずれ等が発生しても、MOSFETが形成される領域に必ずスーパージャンクションが配置されることになる。このため、確実にp型ベース領域5及びソース領域6下をピンチオフさせることができ、確実にMOSFETの耐圧が得られるようにできる。

【0057】（他の実施形態）上記実施形態では、スーパージャンクションを構成するn型層2とp型層3とが交互に配置されることについて説明したが、n型層2とp型層3とが交互に配置され、これらによって形成されるPN接合によってスーパージャンクションがピンチオフされるような構成であればどのようなレイアウトであってもよい。

【0058】例えば、n型層2とp型層3とをストライプ状に配置してもよく、n<sup>+</sup>型基板1の主表面1aの垂直方向から見てn型層2とp型層3とが共に六角形状になるようにし、一断面を見るとn型層2とp型層3とが交互に配置されるようにしてもよい。

#### 【図面の簡単な説明】

【図1】本発明の第1実施形態におけるスーパージャンクションMOSFETの断面構成を示す図である。

【図2】（a）は、図1のMOSFETの耐圧を示す特性図であり、（b）は図1のMOSFETのオン抵抗を示す特性図である。

【図3】図1に示す縦型パワーMOSFETの製造工程を示す図である。

【図4】図3に続く縦型パワーMOSFETの製造工程を示す図である。

【図5】図4に続く縦型パワーMOSFETの製造工程を示す図である。

【図6】図5に続く縦型パワーMOSFETの製造工程を示す図である。

【図7】本発明の第2実施形態における縦型パワーMOSFETにガードリング及びEQRを備えた場合の断面構成を示す図である。

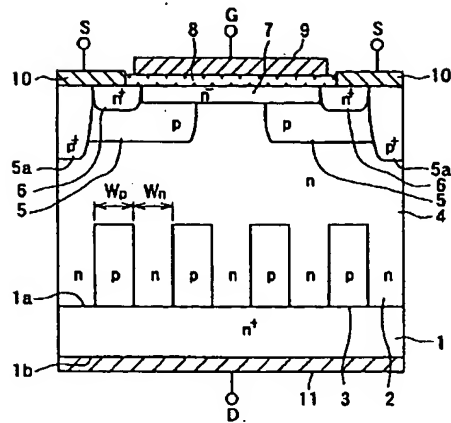
【図8】従来のスーパージャンクションを備えたMOSFETの断面構成を示す図である。

#### 【符号の説明】

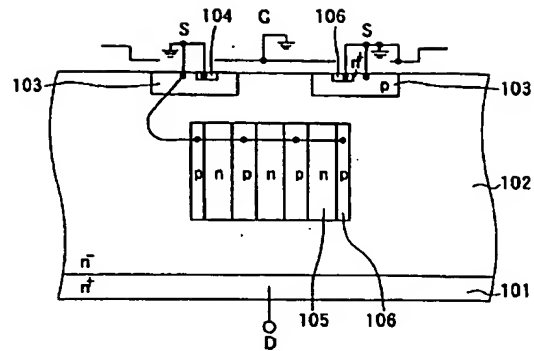
1…n<sup>+</sup>型基板、2…n型層、3…p型層、4…n<sup>-</sup>型エピ層、5…p型ベース領域、6…n<sup>+</sup>型ソース領域、7…表面チャネル層、8…ゲート酸化膜、9…ゲート電

極、10…ソース電極、11…ドレイン電極。

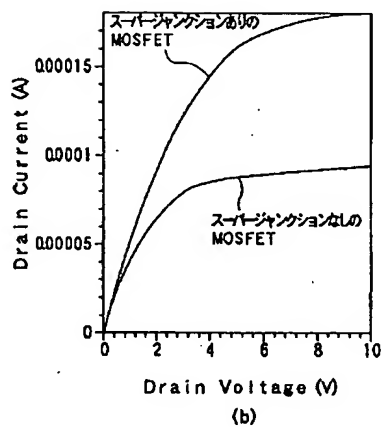
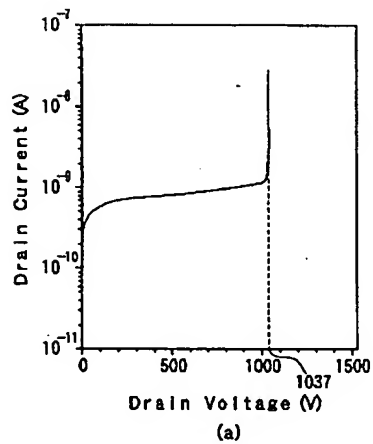
【図1】



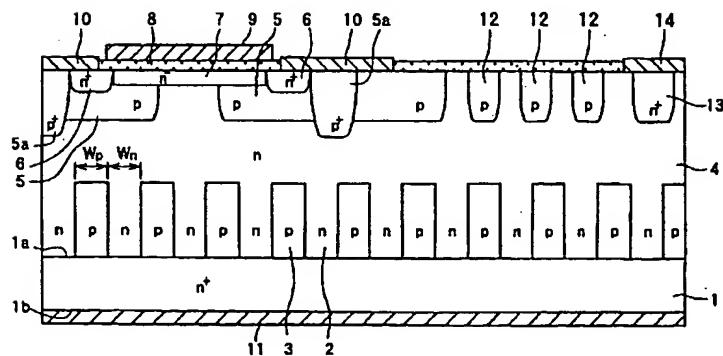
【図8】



【図2】

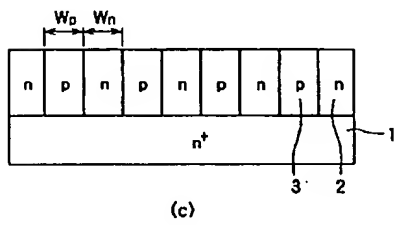
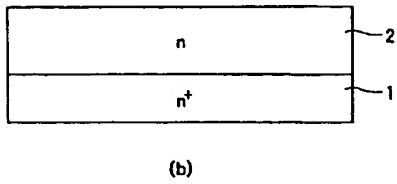
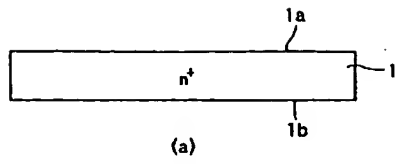


【図7】

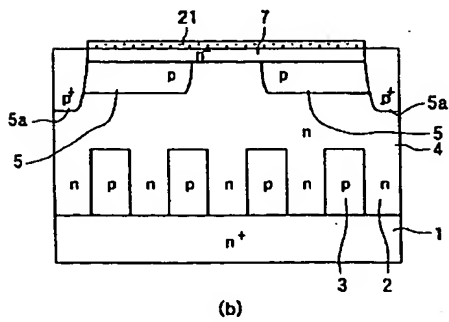
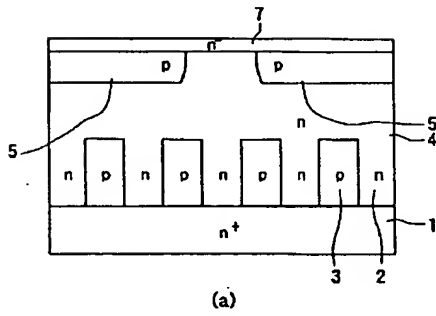




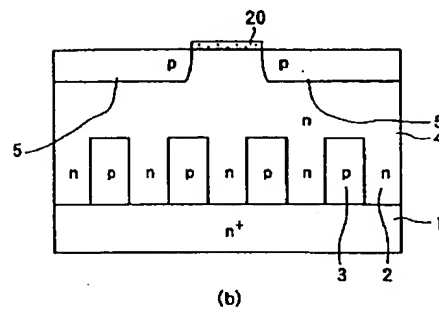
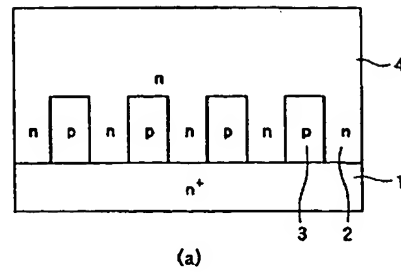
【図3】



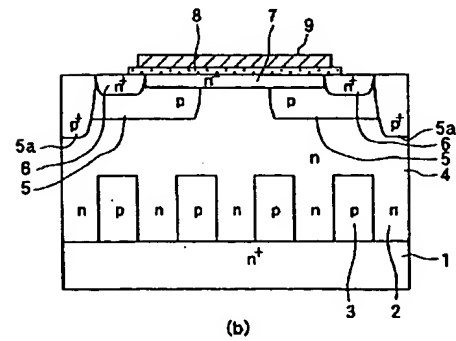
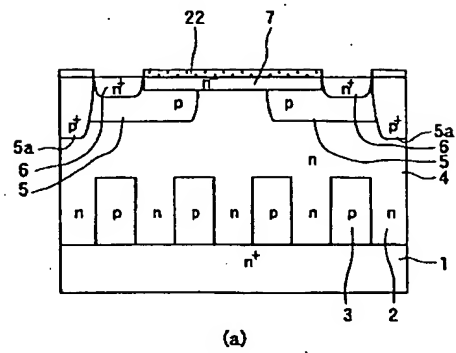
【図5】



【図4】



【図6】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**